

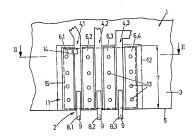


# WELTORGANISATION FÜR GEISTIGES EIGENTUM Internationale Anmeldung Veröffentlicht nach dem Vertrag über die Internationale anmeldung veröffentlicht nach dem Vertrag über die INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(11) Internationale Veröffentlichungsnummer: WO 00/16446 (51) Internationale Patentklassifikation 7: A1 H01R 12/04, 13/66, 13/719 (43) Internationales 23. März 2000 (23.03.00) Veröffentlichungsdatum: (81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, PCT/DE99/02785 (21) Internationales Aktenzeichen: BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, I.U, MC, NL, PT, SE). (22) Internationales Anmeldedatum: 2. September 1999 (02.09.99) Veröffentlicht (30) Prioritätsdaten: Mit internationalem Recherchenbericht. 10. September 1998 (10.09.98) DE 198 41 459.5 Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Anderungen eintreffen. (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BELAU, Horst [DE/DE]; Gabriele Münster Weg 2, D-84085 Langquaid (DE). HELD, Joachim [DE/DE]; Schönwerthstrasse 56, D-81739 München (DE), REINDL, Hartwig [DE/DE]; Nürmberger Strasse 8, D-80537 Feucht (DE), MEYER, Wolfram [DE/DE]; Asamstrasse 36, D-93051 Regensburg (DE). SIEMENS AKTIENGE-(74) Gemeinsamer Vertreter: SELLSCHAFT; Postfach 22 16 34, D-80506 München

(54) Title: PRINTED CIRCUIT BOARD ARRANGEMENT WITH A MULTIPOLE PLUG-IN CONNECTOR

(54) Bezeichnung: LEITERPLATTENANORDNUNG MIT MEHRPOLIGEM STECKVERBINDER



## (57) Abstract

A printed circuit board arrangement with a multipole plug-in connector (1) is fitted with plug pins that are respectively fixed to signal conductor tracks in a parallel position with respect to a printed circuit board layer (3). The signal conductor tracks (4) are arranged in a substantially parallel position and are alternately mounted side to side with ground conductor tracks (6). A ground screening surface (11) is also providedn an adjacent layer (10) of the printed circuit board.